

PAT-NO: JP406261174A  
DOCUMENT-IDENTIFIER: JP 06261174 A  
TITLE: DATA PROCESSOR FOR CCD SENSOR DRIVING SIGNAL  
PUBN-DATE: September 16, 1994

INVENTOR-INFORMATION:

NAME	COUNTRY
MORI, YOICHI	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
RICOH CO LTD	N/A
RICOH RES INST OF GEN ELECTRON	N/A

APPL-NO: JP05046304  
APPL-DATE: March 8, 1993

INT-CL (IPC): H04N001/028

ABSTRACT:

PURPOSE: To provide a simple data processor for CCD sensor driving signal capable of driving every kind of form of a CCD sensor.

CONSTITUTION: A data generating means 12 which generates a data pattern of one line of a driving signal  $\Phi S2$  which drives the CCD sensor 11 is provided, and a timing generator 13 equipped with a memory 20 in which the data pattern of one line generated by the data generating means 12 is stored, storage means 21, 22 which store the data pattern of one line in the memory 20, an address generator 23 which makes access the data pattern of one line housed and stored in the memory 20 by the storage means 21, 22 continuously repeatedly, and a timing generator 13 equipped with timing adjusting means 24, 25 which perform the timing adjustment of memory output data  $\Phi S1$  accessed by the address generator 23 and outputted from the memory 20

continuously repeatedly and output it as the driving signal  $f_2$  to the CCD sensor 11 is provided.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-261174

(43)公開日 平成6年(1994)9月16日

(51)Int.Cl.<sup>4</sup>

H 0 4 N 1/028

識別記号

片内整理番号

A 8721-5C

F I

技術表示箇所

審査請求 未請求 請求項の数1 O L (全 9 頁)

(21)出願番号 特願平5-46304

(22)出願日 平成5年(1993)3月8日

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(71)出願人 000115706

リコー応用電子研究所株式会社

宮城県名取市高館熊野堂字余方上5番地の  
10

(72)発明者 森 洋一

宮城県名取市高館熊野堂字余方上5番地の  
10 リコー応用電子研究所株式会社内

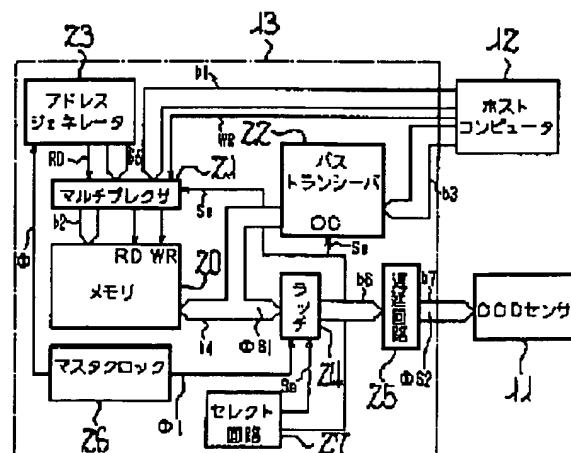
(74)代理人 弁理士 柏木 明 (外1名)

(54)【発明の名称】 CCDセンサ駆動信号用データ処理装置

(57)【要約】

【目的】 多品種のCCDセンサを駆動し得る簡易なCCDセンサ駆動信号用データ処理装置を提供する。

【構成】 CCDセンサ11を駆動する駆動信号ΦS2の1ライン分のデータパターンを作成するデータ作成手段12を設け、このデータ作成手段12により作成された1ライン分のデータパターンが記憶されるメモリ20と、このメモリ20に1ライン分のデータパターンを格納する格納手段21、22と、この格納手段21、22によりメモリ20に格納され記憶された1ライン分のデータパターンに連続して繰返しアクセスするアドレスジェネレータ23と、このアドレスジェネレータ23によりアクセスされてメモリ20から連続して繰返し出力されるメモリ出力データΦS1のタイミング調整をしてCCDセンサ11に駆動信号ΦS2として出力するタイミング調整手段24、25とを備えたタイミングジェネレータ13を設けた。



## 【特許請求の範囲】

【請求項1】 CCDセンサを駆動する駆動信号の1ライン分のデータパターンを作成するデータ作成手段と、このデータ作成手段により作成された前記1ライン分のデータパターンが記憶されるメモリとこのメモリに前記1ライン分のデータパターンを格納する格納手段とこの格納手段により前記メモリに格納され記憶された前記1ライン分のデータパターンに連続して繰返しアクセスするアドレスジェネレータとこのアドレスジェネレータによりアクセスされて前記メモリから連続して繰返し出力されるデータパターンのタイミング調整をして前記CCDセンサに駆動信号として出力するタイミング調整手段とを備えたタイミングジェネレータとよりなることを特徴とするCCDセンサ駆動信号用データ処理装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、デジタル複写機、ファクシミリ等の画像読取装置に利用されるCCDセンサ駆動信号用データ処理装置に関する。

【0002】

【従来の技術】デジタル複写機等の画像読取装置に用いられるCCD (Charge Coupled Device) センサ1を駆動する従来のタイミングジェネレータ2の一例を図6に基づいて説明する。このタイミングジェネレータ2では、マスタクロック発振器3により発生されたマスタクロック $\phi$ は分周回路4で分周されて画素クロック $\phi$ 1となり、主走査用の同期式カウンタ5と、副走査用の同期式カウンタ6と、シフトレジスタ7と、リセットパルス発生回路8と、ライン走査信号発生回路9と、タイミング調整用遅延回路10とに入力される。すると、同期式カウンタ5はCCDセンサ1の1ラインの幅となるまで画素クロック $\phi$ 1を計数してその計数値に到達した時にパルスを出力し、同期式カウンタ6は入力されたパルスの数を計数してそのパルスをライン走査信号発生回路9に出力する。このライン走査信号発生回路9では、同期式カウンタ6の出力パルスと画素クロック $\phi$ 1とに基づいて走査信号 $\phi$ SHを発生するとともに、リセット信号を同期式カウンタ5にフィードバックしこの同期式カウンタ5の計数値をリセットする。また、リセットパルス発生回路8では、シフトレジスタ7から出力されるシフトパルスと画素クロック $\phi$ 1とに基づいてリセットパルス $\phi$ RSを発生する。そして、タイミング調整用遅延回路10では、画素クロック $\phi$ 1を逆転して2相の画素クロック $\phi$ 1、 $\phi$ 2を生成するとともに、これらの2相クロック $\phi$ 1、 $\phi$ 2と走査信号 $\phi$ SHとリセットパルス $\phi$ RSとをCCDセンサ1の規定のタイミングに調整して駆動信号としてCCDセンサ1に出力するようになっている。なお、これらの各々の回路は、何れもカウンタ、フリップフロップ、シフトレジスタ等によって形成されたものである。

【0003】ここに、タイミングジェネレータ2によって駆動されるCCDセンサ1の駆動信号の一例を図7に示す。同図には、同期式カウンタ5、6によって走査信号 $\phi$ SHの長さ、有効画像領域の長さ、無効画像領域の長さ等が計数されることによって生成される駆動信号（走査信号 $\phi$ SH、2相クロック $\phi$ 1、 $\phi$ 2、リセットパルス $\phi$ RS）や、これらの駆動信号によってCCDセンサ1が駆動されて得られるダミー出力信号DOS、出力信号OS等が示されている。

10 【0004】

【発明が解決しようとする課題】しかしながら、図6に示したタイミングジェネレータ2では、CCDセンサの種類を限定すれば、駆動信号のタイミング調整をするだけで使用できるが、駆動信号の数やタイミングの違ったCCDセンサを駆動することを考えると融通性がない。よって、駆動対象となるCCDセンサが1種類に限定されてしまうことになり、様々な種類のCCDセンサを駆動することができず、CCDセンサの種類を変更したなら、回路全体を設計し直さなければならなくなる。特に、最近では、CCDセンサの高速化に伴って多チャンネルの信号で駆動するものも増えてきており、タイミングジェネレータの回路も複雑さを増してきているため、2チャンネルのCCDセンサを4チャンネルのCCDセンサに交換するといったように信号の数が増える場合には、タイミングジェネレータの回路設計から基板の設計まで変更しなければならなくなる。例えば、回路基板の設計変更から完成までは通常1~2ヵ月の期間を要することを考えると、図6に示すタイミングジェネレータ2では、DIPタイプの20ピン相当の論理IC (Integrated Circuit) が20個程度で構成できるが、駆動信号の多い多チャンネルのCCDセンサに対応しようとする

30

40

50

れば、ICの数も増え、設計変更も容易ではない。このように、従来にあっては、CCDセンサの品種毎にタイミングジェネレータの回路設計や基板設計をやり直さなければならず、時間的にもコスト的にも無駄が多いものとなっていた。

【0005】具体的には、設計上の都合でCCDセンサを他メーカーのものに交換する必要があり、図7に示すようなタイミングで駆動されるCCDセンサ（1ライン出力期間が1916画素分、有効画素信号が1840画素分）を図8に示すようなタイミングで駆動されるCCDセンサ（1ライン出力期間が2094画素分、有効画素信号が2048画素分）と交換したところ、イメージを読み取ることができず、例えば、A4の原稿を読み取らせると、主走査方向で $(1-1840/2048) \times 100 = 10\%$ の読めない領域ができたという結果が得られた。この場合、画素数が違うため、ハードウェアの変更なしに種類の異なるCCDセンサには対応できないものとなる。

【0006】ここで、図7に示すような駆動信号で駆動

3

されるCCDセンサと図8に示すような駆動信号で駆動されるCCDセンサとを比較した場合、駆動信号の違いが画素数だけなので、カウンタの計数長を変更するだけでよいが、さらに、図9に示すようなタイミングで駆動されるAチップとBチップに分割されたCCDセンサと交換すると、駆動信号の数やタイミングが違いため、まったく動作しないという結果が得られた。そこで、図6に示したタイミングジェネレータ2の回路変更をすることで対応しようとすれば、シフトレジスタ7とリセットパルス発生回路8とライン走査信号発生回路9とを変更する必要がある、しかも、信号の数が多いので、新たに回路を付け加えなければならない。これだけで、ゲートICが3、4個、増えることになる。もし、PCB(Printed Circuit base Board)上に作成した回路であれば、新規に基板を設計することが必要となる。

【0007】

【課題を解決するための手段】本発明では、CCDセンサを駆動する駆動信号の1ライン分のデータパターンを作成するデータ作成手段を設け、このデータ作成手段により作成された前記1ライン分のデータパターンが記憶されるメモリと、このメモリに前記1ライン分のデータパターンを格納する格納手段と、この格納手段により前記メモリに格納され記憶された前記1ライン分のデータパターンに連続して繰返しアクセスするアドレスジェネレータと、このアドレスジェネレータによりアクセスされて前記メモリから連続して繰返し出力されるデータパターンのタイミング調整をして前記CCDセンサに駆動信号として出力するタイミング調整手段とを備えたタイミングジェネレータを設けた。

【0008】

【作用】本発明においては、データ作成手段によりCCDセンサを駆動する駆動信号の1ライン分のデータパターンを作成し、この1ライン分のデータパターンをタイミングジェネレータのメモリに記憶し、アドレスジェネレータで繰返し出力することにより、簡単な回路構成でタイミングの違う信号や信号数が増減する信号を発生させることが可能となる。

【0009】

【実施例】本発明の一実施例を図1ないし図5に基づいて説明する。まず、図2は本実施例のCCDセンサ駆動信号用データ処理装置の概略構成を示すもので、このCCDセンサ駆動信号用データ処理装置は、CCDセンサ(後述する図1参照)11を駆動する駆動信号の1ライン分のデータパターンを作成するデータ作成手段としてのホストコンピュータ(ワークステーション、パーソナルコンピュータ等)12と、このホストコンピュータ12で作成された前記1ライン分のデータパターンに基づいて駆動信号を発生するタイミングジェネレータ13とをバスラインbを介して接続したものである。そして、前記ホストコンピュータ12は、ディスプレイ14、画

4

面表示制御装置15、キーボード16、コマンド解析装置17、デジタルデータの編集や記憶を行うデータ作成装置18、外部装置にデータを伝送する外部入出力制御装置19等を備えている。

【0010】一方、図1は前記タイミングジェネレータ13の具体的な回路構成を示すもので、前記ホストコンピュータ12で作成された前記1ライン分のデータパターンが記憶されるSRAM(Static Random Access Memory)等のメモリ20が設けられている。このメモリ20には、アドレスバスb1によって前記ホストコンピュータ12と接続されたマルチプレクサ21がアドレスバスb2を介して接続されるとともに、データバスb3によって前記ホストコンピュータ12と接続されたバストランシーバ22がデータバスb4を介して接続されている。これらのマルチプレクサ21とバストランシーバ22とは、前記ホストコンピュータ12から出力される前記1ライン分のデータパターンを前記メモリ20に格納する格納手段となる。また、この格納手段により前記メモリ20に格納された前記1ライン分のデータパターンに連続して繰返しアクセスするアドレスジェネレータ23がアドレスバスb5を介して前記マルチプレクサ21に接続されている。さらに、前記メモリ20の出力側には前記データバスb4を介してラッチ24が接続され、このラッチ24の出力側にはデータバスb6を介してタイミング調整用遅延回路25が接続され、このタイミング調整用遅延回路25の出力側はデータバスb7を介してCCDセンサ11に接続されている。これらのラッチ24とタイミング調整用遅延回路25とは、前記アドレスジェネレータ23によりアクセスされて前記メモリ20から連続して繰返し出力されるメモリ出力データφS1のタイミング調整をしてCCDセンサ11に駆動信号φS2として出力するタイミング調整手段となる。なお、CCDセンサ11には個々にタイミングの規定条件があるため、前記タイミング調整用遅延回路25はそのタイミングに合うように調整を行うもので、ディレイラインや、抵抗RとコンデンサCとによる遅延回路で形成すればよい。

【0011】また、前記アドレスジェネレータ23にマスタクロックφを与えるとともに、前記ラッチ24にラッチ信号φLを与えるマスタクロック発振器26が設けられている。そして、前記マルチプレクサ21と前記バストランシーバ22と前記ラッチ24とにセレクト信号Seを与えるディップスイッチ等のセレクト回路27が設けられている。さらに、前記マルチプレクサ21には、前記ホストコンピュータ12からライト信号WRが入力されるとともに、前記アドレスジェネレータ23からリード信号RDが入力されるようになっている。

【0012】このような構成において、まず、ホストコンピュータ12によるCCDセンサ11の駆動信号φS2の1ライン分のデータパターンの作成手順を図3及び

5

図4を参照して説明する。図3は走査信号ΦSH、2相クロック(画素クロック)Φ1A、Φ2A、リセットパルスΦRS等からなる駆動信号ΦS2と、マスタクロックΦと、データパターンDpの一部とを示すもので、同図に示すように、駆動信号ΦS2はΦSH区間(走査信号)とΦ1A区間(画素クロック)とに分けることができ、ΦSH区間のデータパターンDpを作成したら、Φ1A区間のデータパターンDpをCCDセンサ11の画素数分だけ繰返せば、1ライン分のデータパターンDpが作成可能となる。即ち、図4のフローチャートに示すように、各制御変数の初期化を行った後、ΦSH区間のデータパターンDpをキーボード16から入力し、この入力したデータパターンDpをデータ作成装置18のデータ格納領域に順次格納していく。このような動作をΦSH区間の最後のデータパターンDpになるまで繰返し行い、ΦSH区間の最後のデータパターンDpをデータ作成装置18のデータ格納領域に格納したなら、ΦSH区間のデータパターンの作成を終了し、続いてΦ1A区間のデータパターンの作成に移る。そして、Φ1A区間のデータパターンDpを順次キーボード16から入力し、入力したデータパターンDpをデータ作成装置18のデータ格納領域に順次格納していく。このような動作をΦ1A区間の最後のデータパターンDpになるまで繰返し行い、Φ1A区間の最後のデータパターンDpをデータ作成装置18のデータ格納領域に格納したなら、Φ1A区間のデータパターンDpをCCDセンサ11の画素数分だけ繰返すことで、CCDセンサ11の1ライン分のデータパターンDpの作成を終了する。このように、ホストコンピュータ12では、CCDセンサ11の駆動信号ΦS2が同じパターンの繰返しが多いという物理的性質を利用して高効率なデータ作成を可能にしている。その後、ホストコンピュータ12によって作成された駆動信号ΦS2の1ライン分のデータパターンDpは、外部入出力制御装置19を通してタイミングジェネレータ13のメモリ20に伝送されることになる。

【0013】次に、駆動信号ΦS2を発生するまでのタイミングジェネレータ13の制御動作を図1及び図5を参照して説明する。まず、メモリ20にデータパターンDpを記憶させるモードでは、セレクト回路27からのセレクト信号Seによってマルチプレクサ21でアドレスバスb1のアドレス指定信号とライト信号WRとを選択してメモリ20に入力する。同時に、セレクト回路27のセレクト信号Seによってラッチ24をディセーブルに、バストランシーバ22をイネーブルに設定し、ホストコンピュータ12から1ライン分のデータパターンDpを、データバスb3、バストランシーバ22、データバスb4を通してメモリ20の指定されたアドレスに格納し記憶する。

【0014】また、CCDセンサ11を駆動するモードでは、セレクト回路27のセレクト信号Seによってマ

6

ルチプレクサ21でアドレスジェネレータ23のリード信号RDを選択してメモリ20に入力するとともに、バストランシーバ22をディセーブルに、ラッチ24をイネーブルに設定する。ここで、マスタクロック発振器26から出力されるマスタクロックΦをメモリ20の読み出しクロックとしてアドレスジェネレータ23に送る。すると、アドレスジェネレータ23はリングカウンタになっていてメモリ20に記憶されたデータパターンDpに連続的に繰返しアクセスする。これにより読み出されたデータパターンDpをデータバスb4を通してラッチ24で1度ラッチし、さらにデータバスb6を通してタイミング調整用遅延回路25に送ってCCDセンサ11のタイミングの規定条件に合うようにタイミング調整した後、データバスb7を通して駆動信号ΦS2としてCCDセンサ11に送る。なお、マスタクロックΦの周期は、駆動信号ΦS2の全てのエッジ(立上りエッジと立下りエッジ)がマスタクロックΦのエッジ位置にくるように選べばよい。

【0015】上述したように、本実施例では、駆動信号ΦS2の1ライン分のデータパターンDpをタイミングジェネレータ13のメモリ20に記憶させておき、アドレスジェネレータ23によって繰返し出力させることによりCCDセンサ11を駆動し、1ラインの長さの違いは、アドレスジェネレータ23のカウント数を変更することによって対応している。しかも、駆動信号ΦS2の数が増減してもデータバスbの余ったラインを新たに追加或いは削減するだけでよい。

【0016】したがって、タイミングジェネレータ13のメモリ20に記憶させるCCDセンサ11の1ライン分のデータパターンをホストコンピュータ12によって編集し直すことにより、ハードウェアの変更をすることなく多品種のCCDセンサを駆動することが可能となる。しかも、図6に示した従来のタイミングジェネレータ2と比較して1/4程度の簡単な回路構成で実現し得るものとなる。例えば、図6はタイミングジェネレータ2の概略図であるため回路の規模は判断しにくい、汎用のICで構成したとするとICが20個程になり、図1のタイミングジェネレータ13の構成例と比較すると4倍程度の規模になる。ここで、図1と図6の回路規模を単純に比較すると、図1の方が回路規模が大きいように見えるが、図6はタイミングジェネレータ2の機能の概略を示しているため、ゲートICで構成すると、図6のタイミングジェネレータ2は、図1のタイミングジェネレータ13の回路規模の約4倍となる。

【0017】

【発明の効果】上述のように本発明は、CCDセンサを駆動する駆動信号の1ライン分のデータパターンを作成するデータ作成手段を設け、このデータ作成手段により作成された前記1ライン分のデータパターンが記憶されるメモリと、このメモリに前記1ライン分のデータパタ

7

ーンを格納する格納手段と、この格納手段により前記メモリに格納され記憶された前記1ライン分のデータパターンに連続して繰返しアクセスするアドレスジェネレータと、このアドレスジェネレータによりアクセスされて前記メモリから連続して繰返し出力されるデータパターンのタイミング調整をして前記CCDセンサに駆動信号として出力するタイミング調整手段とを備えたタイミングジェネレータを設けたので、データ作成手段によりCCDセンサを駆動する駆動信号の1ライン分のデータパターンを作成し、この1ライン分のデータパターンをメモリに記憶し、アドレスジェネレータで繰返し出力することにより、簡単な回路構成でタイミングの違う信号や信号数が増減する信号を発生させることができ、これにより、データ作成手段によって駆動信号のデータパターンを編集し直すことで、ハードウェアの変更をすることなく多品種のCCDセンサを駆動することができるものである。

【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック図である。

【図2】CCDセンサ駆動信号用データ処理装置の概略ブロック図である。

【図3】CCDセンサの駆動信号及びそのデータパター

8

ンを示すタイミングチャートである。

【図4】ホストコンピュータによるデータパターン作成手順を示すフローチャートである。

【図5】タイミングジェネレータの各部の信号波形を示すタイミングチャートである。

【図6】従来例を示すブロック図である。

【図7】CCDセンサの駆動信号及び出力信号を示すタイミングチャートである。

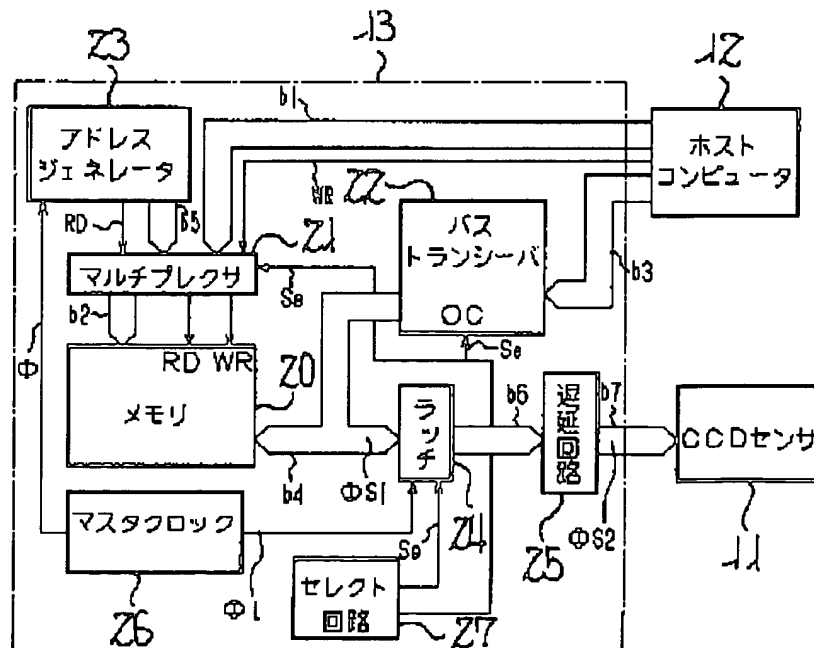
【図8】他の種類のCCDセンサの駆動信号及び出力信号を示すタイミングチャートである。

【図9】さらに他の種類のCCDセンサの駆動信号及び出力信号を示すタイミングチャートである。

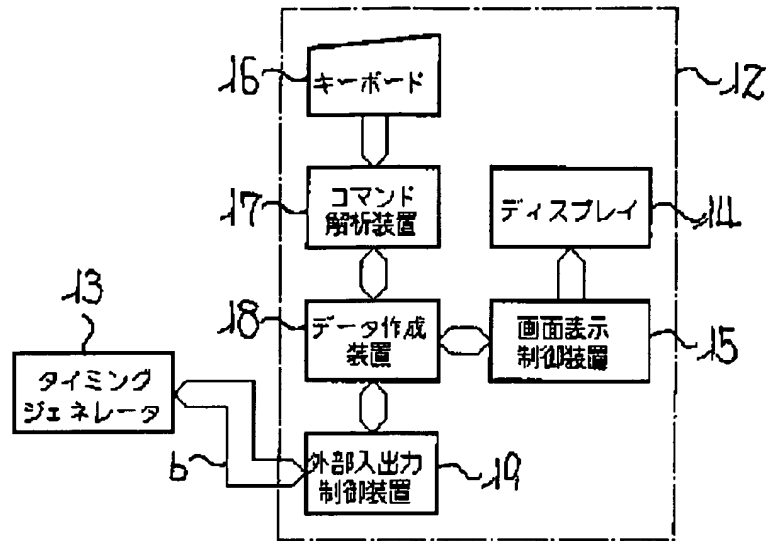
【符号の説明】

11	CCDセンサ
12	データ作成手段
13	タイミングジェネレータ
20	メモリ
21, 22	格納手段
23	アドレスジェネレータ
24, 25	タイミング調整手段
Dp	データパターン
ΦS2	駆動信号

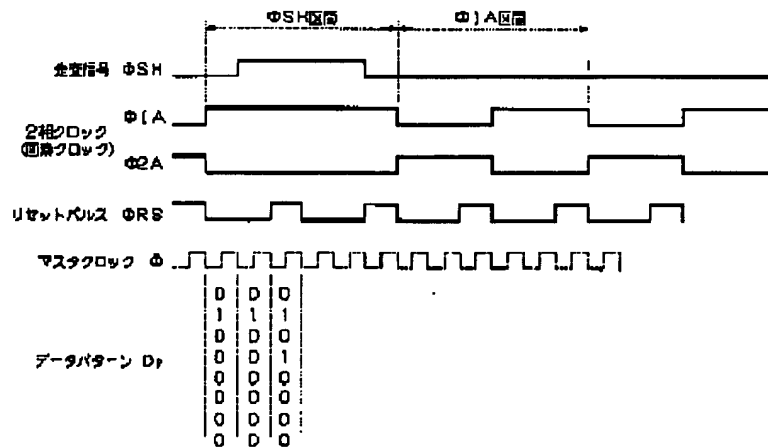
【図1】



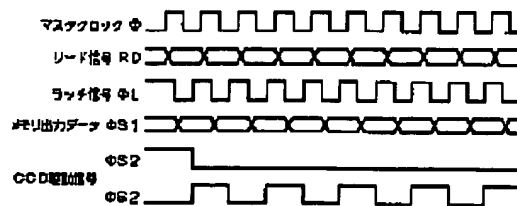
【図2】



【図3】

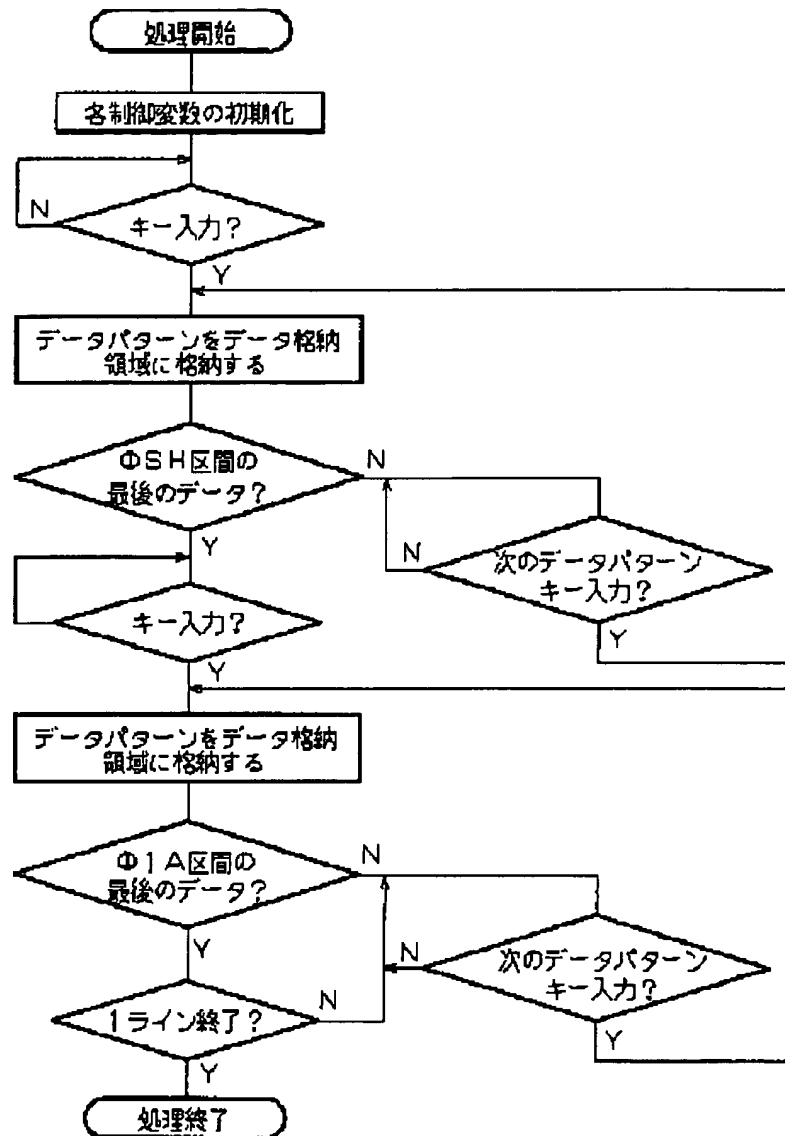


【図5】

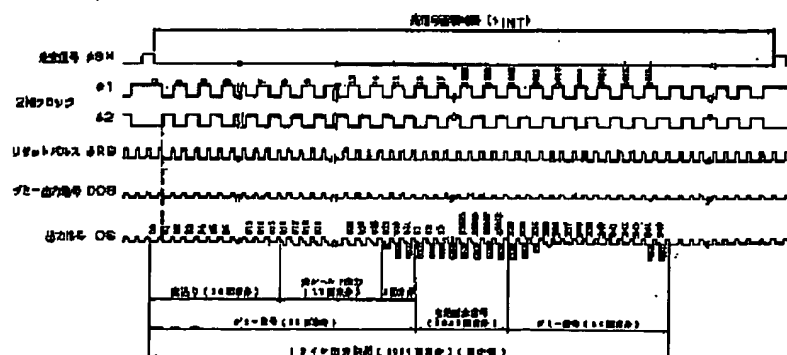




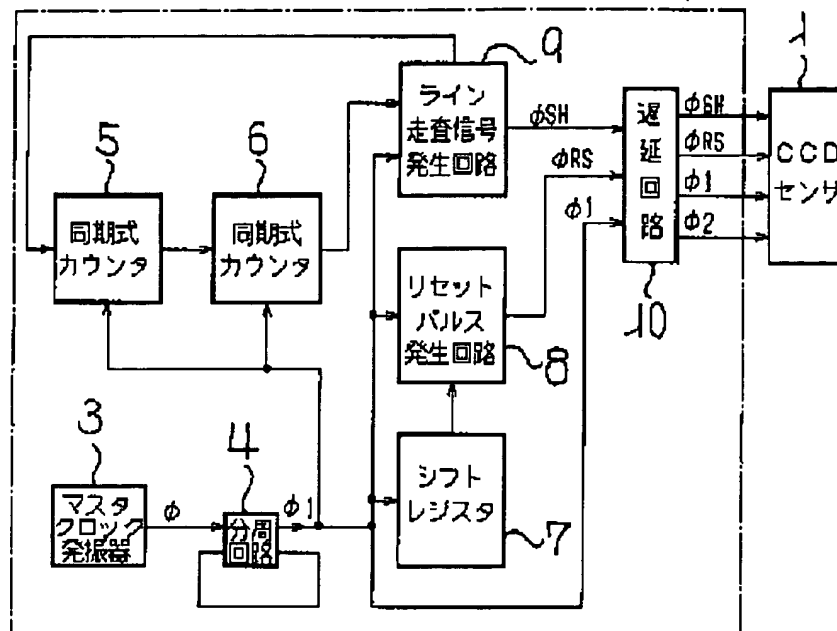
【図4】



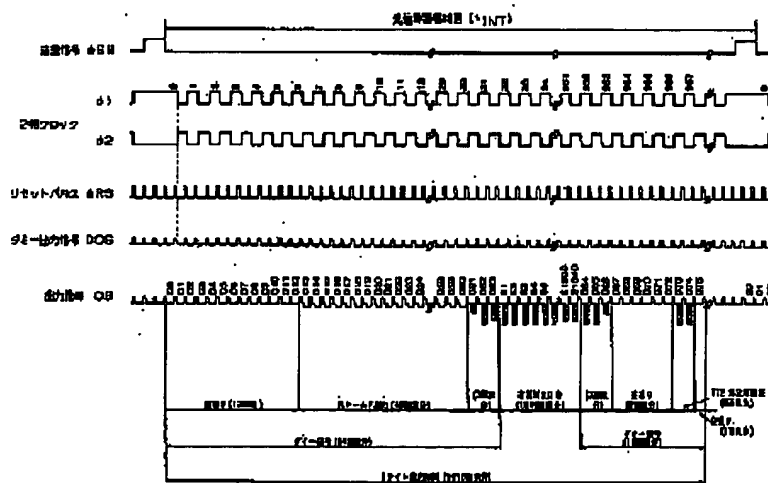
【図8】



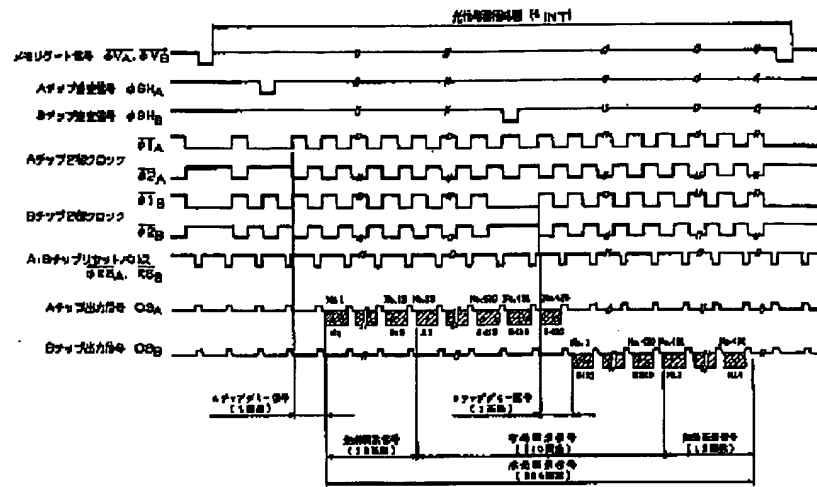
【图6】



【7】



【图9】



## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the data processor for CCD sensor driving signals used for image readers, such as a digital copier and facsimile.

[0002]

[Description of the Prior Art] An example of the conventional timing generator 2 which drives the CCD (Charge Coupled Device) sensor 1 used for image readers, such as a digital copier, is explained based on drawing 6. In this timing generator 2, dividing of the master clock phi generated by the master clock oscillator 3 is carried out in a frequency divider 4, it turns into the pixel clock phi 1, and is inputted into the synchronous system counter 5 for horizontal scanning, the synchronous system counter 6 for vertical scanning, a shift register 7, the reset pulse generating circuit 8, the Rhine scan signal generating circuit 9, and the delay circuit 10 for timing adjustment. Then, when counting of the pixel clock phi 1 is carried out and the enumerated data are reached until the synchronous system counter 5 serves as width of face of one line of the CCD sensor 1, a pulse is outputted, and the synchronous system counter 6 carries out counting of the inputted number of pulses, and outputs the pulse to the Rhine scan signal generating circuit 9. In this Rhine scan signal generating circuit 9, while generating scan signal phiSH based on the output pulse and the pixel clock phi 1 of the synchronous system counter 6, a reset signal is fed back to the synchronous system counter 5, and the enumerated data of this synchronous system counter 5 are reset. Moreover, in the reset pulse generating circuit 8, reset pulse phiRS is generated based on the shift pulse and the pixel clock phi 1 which are outputted from a shift register 7. And in the delay circuit 10 for timing adjustment, while reversing the pixel clock phi 1 and generating the pixel clocks phi1 and phi2 of two phases, it adjusts to the timing of a convention of these 2 phase clocks phi1 and phi2, scan signal phiSH, and reset pulse phiRS of the CCD sensor 1, and outputs to the CCD sensor 1 as a driving signal. In addition, each of these circuits is formed with a counter, a flip-flop, a shift register, etc. in each.

[0003] An example of the driving signal of the CCD sensor 1 driven with a timing generator 2 here is shown in drawing 7. The driving signal (scan signal phiSH, 2 phase clocks phi1 and phi2, reset pulse phiRS) generated by carrying out counting of the die length of scan signal phiSH, the die length of an effective image field, the die length of an invalid image field, etc. by the synchronous system counters 5 and 6, the dummy output signal DOS which the CCD sensor 1 drives and is acquired by these driving signals, an output signal OS, etc. are shown in this drawing.

[0004]

[Problem(s) to be Solved by the Invention] However, although it can be used only by carrying out timing adjustment of a driving signal in the timing generator 2 shown in drawing 6 if the class of CCD sensor is limited, considering driving the CCD sensor by which the number of driving signals and timing are different, it is rigid. Therefore, the whole circuit must be redesigned, if the CCD sensor used as the candidate for a drive will be limited to one kind, and the CCD sensor of various classes cannot be driven but the class of CCD sensor is changed. Especially, recently, since what is driven by the signal of many channels with improvement in the speed of a CCD sensor is increasing and the circuit of a timing

generator has also been increasing complexity, as it said that the CCD sensor of two channels was exchanged for the CCD sensor of four channels, when the number of signals increases, it must change from the circuit design of a timing generator to the design of a substrate. For example, although considering usually requiring the period of one - two months the logic IC of 20 DIP type pins (Integrated Circuit) can consist of timing generators 2 shown in drawing 6 at about 20 pieces, if the design change of the circuit board to completion tends to correspond to the CCD sensor of many channels with many driving signals, number's of ICs increases and is not easy a design change. Thus, if it was in the former, the circuit design and substrate design of a timing generator had to be redone for every form of a CCD sensor, and, also in time, it had become what has many futility also in cost.

[0005] It is necessary to specifically exchange a CCD sensor for other manufacturers' thing for convenience' sake on a design. The CCD sensor driven to timing as shown in drawing 7 (1 line-out period by 1916 pixels) The CCD sensor driven to timing as an effective pixel signal indicates 1840 pixels to be to drawing 8 (1 line-out period by 2094 pixels) When the effective pixel signal exchanged for 2048 pixels, an image cannot be read, for example, the manuscript of A4 was made to read, the result that the  $x(1-1840/2048)100=10\%$  field which cannot be read was made in the main scanning direction was obtained. In this case, since the number of pixels is different, it cannot respond to the CCD sensor from which a class differs without a hardware change.

[0006] Since the difference in a driving signal is only the number of pixels when the CCD sensor driven with a driving signal as shown in the CCD sensor driven with a driving signal as shown in drawing 7 here, and drawing 8 is compared counting of a counter -- although what is necessary is just to have changed merit, since the number and timing of a driving signal differed from each other when it exchanges for the CCD sensor divided into A chip further driven to timing as shown in drawing 9, and B chip, the result of not operating at all was obtained. Then, if it is going to correspond by making a circuit change of the timing generator 2 shown in drawing 6, it is necessary to change a shift register 7, the reset pulse generating circuit 8, and the Rhine scan signal generating circuit 9, and moreover, since there are many signals, a circuit must newly be added. Now, the 3 or 4 gates IC will increase in number. If it is the circuit created on PCB (Printed Circuit base Board), it is necessary to design a substrate newly.

[0007]

[Means for Solving the Problem] The memory said data pattern for one line which established a data origination means to create the data pattern for one line of the driving signal which drives a CCD sensor in this invention, and was created by this data origination means is remembered to be, A storing means to store said data pattern for one line in this memory, The address generator repeatedly accessed succeeding said data pattern for one line which was stored in said memory by this storing means, and was memorized, The timing generator equipped with a timing adjustment means to carry out timing adjustment of the data pattern which it is accessed by this address generator and is continuously outputted repeatedly from said memory, and to output to said CCD sensor as a driving signal was formed.

[0008]

[Function] In this invention, it becomes possible to generate the signal with which timing is different by easy circuitry, and the signal which the number of signals fluctuates by creating the data pattern for one line of the driving signal which drives a CCD sensor with a data origination means, memorizing this data pattern for one line in the memory of a timing generator, and outputting repeatedly by the address generator.

[0009]

[Example] One example of this invention is explained based on drawing 1 thru/or drawing 5. Drawing 2 is what shows the outline configuration of the data processor for CCD sensor driving signals of this example. First, this data processor for CCD sensor driving signals The host computer 12 as a data origination means to create the data pattern for one line of the driving signal which drives the CCD sensor (refer to drawing 1 mentioned later) 11 (a workstation, personal computer, etc.), The timing generator 13 which generates a driving signal based on said data pattern for one line created with this

host computer 12 is connected through a bus line b. And said host computer 12 is equipped with the external I/O control-device 19 grade which transmits data to a display 14, the screen-display control device 15, a keyboard 16, command analysis equipment 17, the data origination equipment 18 that performs edit and storage of digital data, and an external device.

[0010] On the other hand, drawing 1 shows the concrete circuitry of said timing generator 13, and the memory 20, such as SRAM (Static Random Access Memory) said data pattern for one line created with said host computer 12 is remembered to be, is formed. While the multiplexer 21 connected with said host computer 12 is connected through an address bus b2 by the address bus b1, the bus transceiver 22 connected with said host computer 12 is connected to this memory 20 through the data bus b4 by the data bus b3. These multiplexers 21 and bus transceivers 22 serve as a storing means to store in said memory 20 said data pattern for one line outputted from said host computer 12. Moreover, the address generator 23 repeatedly accessed succeeding said data pattern for one line stored in said memory 20 by this storing means is connected to said multiplexer 21 through the address bus b5. Furthermore, latch 24 is connected to the output side of said memory 20 through said data bus b4, the delay circuit 25 for timing adjustment is connected to this latch's 24 output side through a data bus b6, and the output side of this delay circuit 25 for timing adjustment is connected to the CCD sensor 11 through the data bus b7. These latches 24 and the delay circuit 25 for timing adjustment serve as a timing adjustment means to carry out timing adjustment of the memory output data  $\phi S1$  which it is accessed by said address generator 23 and are continuously outputted repeatedly from said memory 20, and to output to the CCD sensor 11 as a driving signal  $\phi S2$ . In addition, what is necessary is for said delay circuit 25 for timing adjustment to adjust so that the timing may be suited, and just to form it in the delay circuit by the delay line, and Resistance R and Capacitor C, since there is a provision of timing in the CCD sensor 11 separately.

[0011] Moreover, while giving a master clock  $\phi$  to said address generator 23, the master clock oscillator 26 which gives latch signal  $\phi L$  is prepared for said latch 24. And the selection circuits 27, such as a DIPU switch which gives select signal  $S_e$ , are established in said multiplexer 21, bus transceiver 22, and said latch 24. [ said ] Furthermore, while the light signal WR is inputted from said host computer 12, the lead signal RD is inputted into said multiplexer 21 from said address generator 23.

[0012] In such a configuration, the creation procedure of the data pattern for one line of the driving signal  $\phi S2$  of the CCD sensor 11 with a host computer 12 is first explained with reference to drawing 3 and drawing 4. Drawing 3 is what shows the driving signal  $\phi S2$  which consists of scan signal  $\phi SH$ , 2 phase clock (pixel clock)  $\phi 1A$ ,  $\phi 2A$ , a reset pulse  $\phi RS$ , etc., and a master clock  $\phi$  and the part of a data pattern Dp. As shown in this drawing, a driving signal  $\phi S2$  can be divided into  $\phi SH$  section (scan signal) and the  $\phi 1A$  section (pixel clock). If the data pattern Dp of  $\phi SH$  section is created and the data pattern Dp of the  $\phi 1A$  section will be repeated only several pixel minutes of the CCD sensor 11, creation of the data pattern Dp for one line will be attained. That is, as shown in the flow chart of drawing 4, after initializing each control variable, the data pattern Dp of  $\phi SH$  section is inputted from a keyboard 16, and sequential storing of this inputted data pattern Dp is carried out to the data storage field of data origination equipment 18. If such actuation is repeatedly performed until it becomes the data pattern Dp of the last of  $\phi SH$  section, and the data pattern Dp of the last of  $\phi SH$  section is stored in the data storage field of data origination equipment 18, it ends, and it will move from creation of the data pattern of  $\phi SH$  section to creation of the data pattern of the  $\phi 1A$  section continuously. And the data pattern Dp of the  $\phi 1A$  section is inputted from a keyboard 16 one by one, and sequential storing of the inputted data pattern Dp is carried out to the data storage field of data origination equipment 18. If such actuation is repeatedly performed until it becomes the data pattern Dp of the last of the  $\phi 1A$  section, and the data pattern Dp of the last of the  $\phi 1A$  section is stored in the data storage field of data origination equipment 18, creation of the data pattern Dp for one line of the CCD sensor 11 will be ended by repeating the data pattern Dp of the  $\phi 1A$  section only several pixel minutes of the CCD sensor 11. Thus, with the host computer 12, the driving signal  $\phi S2$  of the CCD sensor 11 makes high-speed data origination possible using the physical property that there are many

repetitions of the same pattern. Then, the data pattern Dp for one line of the driving signal phiS2 created with the host computer 12 will be transmitted to the memory 20 of a timing generator 13 through the external I/O control device 19.

[0013] Next, the control action of the timing generator 13 until it generates a driving signal phiS2 is explained with reference to drawing 1 and drawing 5. First, in the mode in which memory 20 is made to memorize a data pattern Dp, the addressing signal and the light signal WR of an address bus b1 are chosen by the multiplexer 21 by select signal Se from the selection circuit 27, and it inputs into memory 20. To coincidence, by select signal Se of the selection circuit 27, latch 24 is set as disabling, a bus transceiver 22 is set as enabling, and it stores and memorizes to the address with which memory 20 was specified in the data pattern Dp for one line through the data bus b3, the bus transceiver 22, and the data bus b4 from the host computer 12.

[0014] Moreover, in the mode in which the CCD sensor 11 is driven, while choosing the lead signal RD of an address generator 23 by the multiplexer 21 and inputting into memory 20 by select signal Se of the selection circuit 27, a bus transceiver 22 is set as disabling and latch 24 is set as enabling. Here, the master clock phi outputted from the master clock oscillator 26 is sent to an address generator 23 as a read-out clock of memory 20. Then, an address generator 23 accesses continuously repeatedly the data pattern Dp which is a ring counter and was memorized by memory 20. The data pattern Dp read by this is once latched by latch 24 through a data bus b4, and after carrying out timing adjustment so that it may send to the delay circuit 25 for timing adjustment through a data bus b6 further and the provision of the timing of the CCD sensor 11 may be suited, it sends to the CCD sensor 11 as a driving signal phiS2 through a data bus b7. In addition, what is necessary is just to choose the period of a master clock phi so that all the edges (a leading edge and negative going edge) of a driving signal phiS2 may come to the edge location of a master clock phi.

[0015] As mentioned above, in this example, the memory 20 of a timing generator 13 is made to memorize the data pattern Dp for one line of a driving signal phiS2, the CCD sensor 11 is driven by making it output repeatedly by the address generator 23, and the difference in the length of one line corresponds by changing the number of counts of an address generator 23. And what is necessary is just to newly add or reduce Rhine in which the data bus b remained, even if the number of driving signals phiS2 fluctuates.

[0016] Therefore, it becomes possible to drive the CCD sensor of many forms by reediting the data pattern for one line of the CCD sensor 11 which the memory 20 of a timing generator 13 is made to memorize with a host computer 12, without carrying out a hardware change. And as compared with the conventional timing generator 2 shown in drawing 6, it can realize by about 1/4 easy circuitry. For example, since drawing 6 is the schematic diagram of a timing generator 2, it is hard to judge the scale of a circuit, but supposing it constitutes from a general-purpose IC, IC will become about 20 pieces and will become an about 4-time scale as compared with the example of a configuration of the timing generator 13 of drawing 1. Here, when the circuit scale of drawing 1 and drawing 6 is compared simply, as for a circuit scale, the direction of drawing 1 seems to be large, but since drawing 6 shows the outline of the function of a timing generator 2, if it is constituted from the gate IC, the timing generator 2 of drawing 6 will be about 4 times the circuit scale of the timing generator 13 of drawing 1.

[0017]

[Effect of the Invention] The memory said data pattern for one line which this invention established a data origination means to create the data pattern for one line of the driving signal which drives a CCD sensor, and was created by this data origination means is remembered to be as mentioned above, A storing means to store said data pattern for one line in this memory, The address generator repeatedly accessed succeeding said data pattern for one line which was stored in said memory by this storing means, and was memorized, Since the timing generator equipped with a timing adjustment means to carry out timing adjustment of the data pattern which it is accessed by this address generator and is continuously outputted repeatedly from said memory, and to output to said CCD sensor as a driving signal was formed By creating the data pattern for one line of the driving signal which drives a CCD sensor with a data origination means, memorizing this data pattern for one line in memory, and

outputting repeatedly by the address generator Can generate the signal with which timing is different by easy circuitry, and the signal which the number of signals fluctuates, and by this by reediting the data pattern of a driving signal with a data origination means The CCD sensor of many forms can be driven without carrying out a hardware change.

---

[Translation done.]